

MT7656 数据规格书

版本 1.1

目录

MT7656.....	错误!未定义书签。
产品特征.....	1
应用领域.....	1
功能概述.....	1
系统框图.....	2
芯片亮点.....	2
端口定义.....	3
端口功能描述.....	3
MT7656 参数规格.....	7
MT7656 电学参数.....	7
MT7656 典型性能参数.....	8
MT7656 典型应用转换时序.....	8
封装形式.....	10

MT7656

产品特征

- ◆ 快速 16 位模数转换器
- ◆ 400KSPS 吞吐率
- ◆ 六通道同步采样
- ◆ 输入电压范围：±10V、±5V
- ◆ 功耗：150mW
- ◆ 待机模式下功耗小于 100uW
- ◆ 片上 2.5V 基准电压
- ◆ 支持高速串行和并行接口，支持菊花链
- ◆ 片上时钟电路
- ◆ 64 管脚 LQFP 封装

应用领域

- ◆ 电源线路监控系统
- ◆ 仪表和控制系统
- ◆ 多轴定位系统
- ◆ 自动测试设备

功能概述

MT7656 是一款高速、低功耗的 16 位模数转换器电路，支持六通道同步采样，器件包含六个独立的 ADC 电路、内部高精度 2.5V 基准电压电路以及高速串行/并行接口电路，并且支持菊花链功能。转换器通过校准优化了各项非线性性能指标，转换器的输入范围可以配置为±10V 或者±5V。MT7656 针对交流参数（如 SNR 和 THD）以及更为传统的失调，增益和线性度参数进行了全面测试。

系统框图

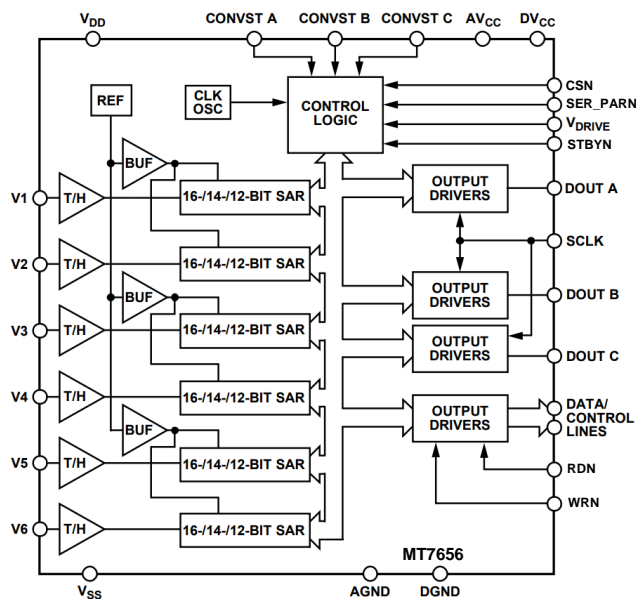


图.1 MT7656 系统框图

芯片亮点

1. 高速吞吐率

MT7656 是一款 400KSPS，16 位、6 通道同时采样开关电容模数转换器芯片；

2. 低功耗

MT7656 支持待机模式，待机模式下功耗小于 100uW，正常工作下，功耗低于 150mW；

3. 全面的直流和交流规范。

MT7656 经过工厂校准，完全经过 SNR 和 THD 测试，以及传统的失调、增益和线性度测试；

4. 完整的模数转换器解决方案

MT7656 提供高度集成的模数转换器解决方案，包含高精度 ADC、基准和片上时钟电路。

端口定义

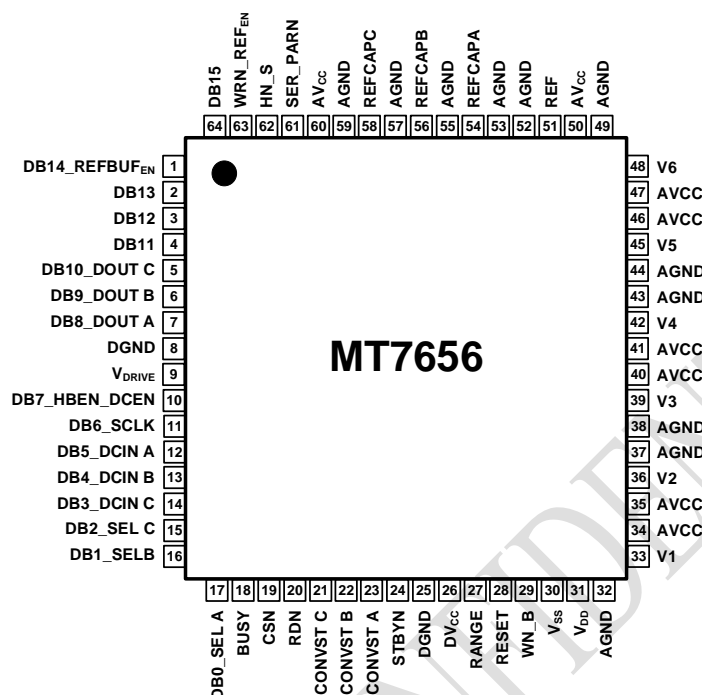


图.2 芯片端口定义

端口功能描述

表-1 芯片端口功能描述

序号	引脚名称	端口功能描述
54, 56, 58	REFCAPA, REFCAPB, REFCAPC	去耦电容连接到这些引脚。这会对每对 ADC 的基准电压缓冲器进行去耦。每个 REFCAP 引脚应通过 10 μ F 和 100 nF 电容去耦至 AGND。
33, 36, 39, 42, 45, 48	V1 至 V6	模拟输入 1 至 6。这些是单端模拟输入。
32, 37, 38, 43, 44, 49, 52, 53, 55, 57, 59	AGND	模拟地。所有模拟电路的接地基准点。所有模拟输入信号和任何外部基准信号都应参考此 AGND 电压。
26	DVCC	数字电源 4.75 V 至 5.25 V。应将此电源通过 10 μ F 和 100 nF 电容去耦至 DGND。
9	VDRIVE	逻辑电源输入。应将此电源通过 10 μ F 和 100 nF 电容去耦至 DGND。
8, 25	DGND	数字地。

34, 35, 40, 41, 46, 47, 50, 60	AV _{CC}	模拟电源 4.75 V 至 5.25 V。应将此电源通过 10 μ F 和 100 nF 电容去耦至 DGND。
23, 22, 21	CONVST A CONVST B CONVST C	转换开始输入 A、B 和 C。这些逻辑输入用来启动 ADC 对转换。CONVST A 用来启动 V1 和 V2 同步转换。CONVST B 用来启动 V3 和 V4 同步转换。CONVST C 用来启动 V5 和 V6 同步转换。当 CONVST _x 引脚从低电平变为高电平时，所选 ADC 对的取样保持开关从采样切换到保持，然后便启动转换。
19	CSN	片选。此低电平有效逻辑输入使能数据帧传输。
20	RDN	读取数据。在并行模式下，如果 CSN 和 RDN 均处于逻辑低电平，则会使能输出总线。在串行模式下，RDN 应保持低电平。
63	WRN_REF _{EN}	写入数据使能和基准电压源使能。当 HN_S 引脚处于高电平，且 CSN 和均 WRN 处于逻辑低电平时，利用 DB[15:8]将数据写入内部控制寄存器。当 HN_S 引脚处于低电平时，此引脚用来使能或禁用内部基准电压源。当 HN_S = 0 且 REF _{EN} = 0 时，禁用内部基准电压源，应将外部基准电压源施加到 REF 引脚。当 HN_S = 0 且 REF _{EN} = 1 时，使能内部基准电压源，且应该对 REFIN/REFOUT 引脚进行去耦。
18	BUSY	繁忙输出。高电平有效。
51	REF	基准电压输入/输出引脚
61	SER_PARN	串行并行接口选择端口。=1 时选择串行接口，=0 时选择并行接口。
17	DB0_SEL A	数据 Bit 0/选择 DOUT A。当 SER_PARN = 0 时，此引脚充当并行数字输出引脚。当 SER_PARN = 1 时，此引脚用作 SEL A，并用来配置串行接口。如果此引脚为 1，则串行接口使用 1/2/3 个 DOUT 输出引脚工作，并使能 DOUT A 作为串行输出端。在串行模式下，此引脚应始终等于 1。
16	DB1_SEL B	数据 Bit 1/选择 DOUT B。当 SER_PARN = 0 时，此引脚充当并行数字输出引脚。当 SER_PARN = 1 时，此引脚用作 SEL B，并用来配置串行接口。如果此引脚为 1，则串行接口使用 2/3 个 DOUT 输出引脚工作，并使能 DOUT B 作为串行输出端。如果此引脚为 0，则不使能 DOUT B 作为串行数据输出端引脚，而仅使用一个 DOUT 输出引脚 DOUT A。不用的串行 DOUT 引脚应保持不连接。

15	DB2_SEL C	数据 Bit 2/选择 DOUT C。当 SER_PARN = 0 时，此引脚充当并行数字输出引脚。当 SER_PARN = 1 时，此引脚用作 SEL C，并用来配置串行接口。如果此引脚为 1，则串行接口使用 3 个 DOUT 输出引脚工作，并使能 DOUT C 作为串行输出端。如果此引脚为 0，则不使能 DOUT C 作为串行数据输出引脚。不用的串行 DOUT 引脚应保持不连接。
14	DB3_DCIN C	数据 Bit 3/菊花链输入 C。当 SER_PARN = 0 时，此引脚充当并行数字输出引脚。当 SER_PARN = 1 且 DC _{EN} = 1 时，此引脚充当菊花链输入 C。处于串行模式而非菊花链模式下时，应将此引脚连接至 DGND。
13	DB4_DCIN B	数据 Bit 4/菊花链输入 B。当 SER_PARN = 0 时，此引脚充当并行数字输出引脚。当 SER_PARN = 1 且 DC _{EN} = 1 时，此引脚充当菊花链输入 B。处于串行模式而非菊花链模式下时，应将此引脚连接至 DGND。
12	DB5_DCIN A	数据 Bit 5/菊花链输入 A。当 SER_PARN 处于低电平时，此引脚充当并行数字输出引脚。当 SER_PARN = 1 且 DC _{EN} = 1 时，此引脚充当菊花链输入 A。处于串行模式而非菊花链模式下时，应将此引脚连接至 DGND。
11	DB6_SCLK	数据 Bit 6/串行时钟。当 SER_PARN = 0 时，此引脚充当并行数字输出引脚。当 SER_PARN = 1 时，此引脚用作 SCLK 输入，并成为串行传输的读取串行时钟。
10	DB7_HBEN_DCE N	数据 Bit 7/高字节使能/菊花链使能。在并行字模式 (SER_PARN = 0 且 WN_B = 0)，此引脚用作数据 Bit 7。在并行字节模式 (SER_PARN = 0 且 WN_B = 1)，此引脚用作 HBEN。在此模式下且 HBEN 引脚处于逻辑高电平时，则先在 DB[15:8] 上输出 MSB 字节数据。当 HBEN 引脚处于逻辑低电平时，则先在 DB[15:8] 上输出 LSB 字节数据。在串行模式 (SER_PARN = 1) 下，此引脚用作 DC _{EN} 。当 DC _{EN} 引脚处于逻辑高电平时，则器件采用菊花链模式工作，同时 DB[5:3] 用作 DCIN[A:C]。处于串行模式而非菊花链模式下时，应将此引脚连接至 DGND。
7	DB8_DOUT A	数据 Bit 8/串行数据输出 A。当 SER_PARN = 0 时，此引脚充当并行数字输出引脚。当 SER_PARN = 1 且 SEL A = 1 时，此引脚用作 DOUT A，并输出串行转换数据。
6	DB9_DOUT B	数据 Bit 9/串行数据输出 B。当 SER_PARN = 0 时，此引脚充当并行数字输出引脚。当 SER_PARN = 1 且 SEL B = 1 时，此引脚用作 DOUT B，并输出串行转换数据。在此配置下，串行接口具有两路 DOUT 输出线。
5	DB10_DOUT C	数据 Bit 10/串行数据输出 C。当 SER_PARN = 0 时，此引脚充当并行数字输出引脚。当 SER_PARN = 1 且 SEL C = 1 时，此引脚用作 DOUT C，并输出串行转换数据。在此配置下，串行接口具有三路 DOUT 输出线。

4	DB11	数据 Bit 11
3, 2, 64	DB12, DB13, DB15	数据 Bit 12、数据 Bit 13、数据 Bit 15。当 SER_PARN = 0 时，这些引脚充当并行数字输入/输出引脚。当 CSN 和 RDN 处于低电平状态时，这些引脚用来输出转换结果。当 CSN 和 WRN 处于低电平时，这些引脚用来写入控制寄存器。
1	DB14_REFBUF _{EN}	数据 Bit 14/REFBUF 使能。
28	RESET	复位输入。高电平有效。
27	RANGE	模拟输入范围选择。逻辑输入。此引脚的逻辑电平决定模拟输入通道的输入范围。当此引脚在 BUSY 下降沿为逻辑 1 时，下一次转换的范围为 $\pm 2 \times VREF$ 。当此引脚在 BUSY 下降沿为逻辑 0 时，下一次转换的范围为 $\pm 4 \times VREF$ 。在硬件选择模式下，在 BUSY 下降沿检查 RANGE 引脚。在软件模式(HN_S = 1)下，由控制寄存器内的 RNGA、RNGB 和 RNGC 决定输入范围。
31	V _{DD}	正电源电压，应将此电源通过 10 μ F 和 100 nF 电容去耦至 AGND。
30	V _{SS}	负电源电压，应将此电源通过 10 μ F 和 100 nF 电容去耦至 AGND。
24	STBYN	待机模式输入。此引脚用来让全部六个片上 ADC 进入待机模式。STBYN 引脚处于高电平时表示正常操作，处于低电平时表示待机操作。
62	HN_S	硬件配置或者软件配置控制信号，=0 时，通过硬件配置，=1 时，通过软件配置。
29	WN_B	字/字节输出控制信号。当此引脚处于逻辑低电平时，可利用并行数据线 DB[15:0]来传输数据。当此引脚处于逻辑高电平时，使能字节模式。在此模式下，利用数据线 DB[15:8]来传输数据，DB[7]用作 HBEN。要获得 16-bit 转换结果，需进行双字节读取。

MT7656 参数规格

MT7656 电学参数

表-2 无特殊说明, 工作条件: $-40^{\circ}\text{C}\sim 125^{\circ}\text{C}$, $F_S=250\text{kHz}$, $AV_{CC}=DV_{CC}=5\text{V}$, $V_{\text{DRIVE}}=3.3\text{V}$ ($3\sim 5\text{V}$), $V_{\text{DD}}=12\text{V}$ 至 15V , $V_{\text{SS}}=-12\text{V}$ 至 -15V 。

表-2 电学参数表

符号	参数	条件	极限值			单位
			最小值	典型值	最大值	
Resolution	分辨率			16		位
V_{IN}	输入电压范围	RNG/RANGE =0		± 10		V
		RNG/RANGE =1		± 5		
T_s	完整周期			2.5		μs
	吞吐量		400			KSPS
INL	积分非线性		-3		3	LSB
DNL	微分非线性		-1		1	LSB
Full-Scale Error	满量程误差 (增益误差)	片上基准电压	-0.8		+0.8	%
Bipolar Zero Error	零点失调误差		-0.03		+0.03	%
SFDR	无杂散动态范围	-1dB, 1kHz 输入信号		98		dB
THD	总谐波失真	-1dB, 1kHz 输入信号		-92		dB
SNDR	信噪失真比	-1dB, 1kHz 输入信号	84			dB
REFCOMP	内部基准电压	外部负载为 0mA		2.5		V
P	总功耗			150		mW

MT7656 典型性能参数

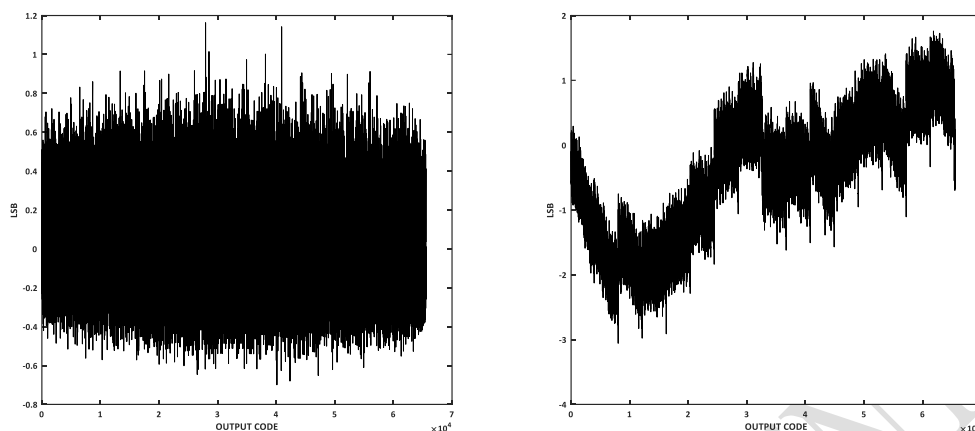


图.3 静态参数性能 (DNL、INL)

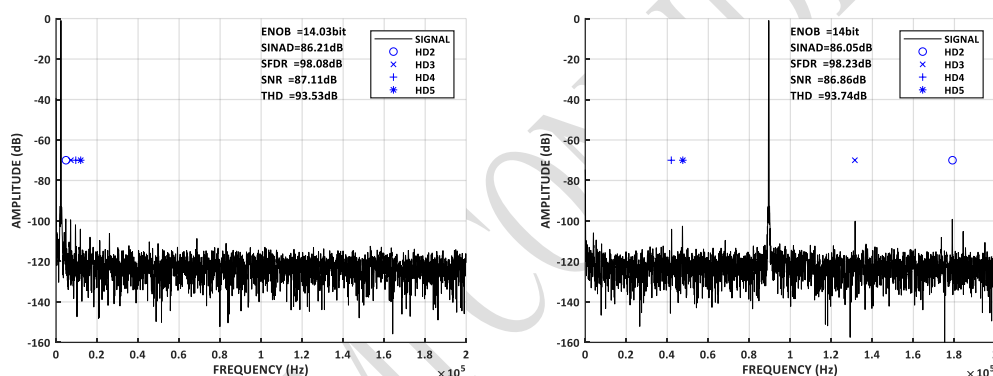


图.4 动态参数性能 (-1dB 输入, 8192 点)

MT7656 典型应用转换时序

如图.5 所示为 MT7656 典型的并行接口时序图, 芯片在 CONVST X 信号的上升沿触发开始转换, 此时 BUSY 信号变高, 当 BUSY 信号变低时表明 ADC 量化结束, 量化结果已经准备好, 开始准备读取并行输出结果。CSN 需保持为低, RDN 由高电平拉至低电平, 读取 V1 的量化结果, RDN 信号总共由高电平拉低 6 次, 完成六通道量化结果的读取; 同时, 如果选择字节读取模式, 则需要控制 RDN 信号由高电平拉低 12 次, 完成六通道量化结果的读取。

如图.6 所示为 MT7656 典型的串行接口时序图, 芯片在 CONVST X 信号的上升沿触发开始转换, 此时 BUSY 信号变高, 当 BUSY 信号变低时表明 ADC 量化结束, 量化结果已经准备好, 开始准备读取串行输出结果。CSN 需保持为低, 然后通过 SCLK 发送 32 个时钟将 6 通道的转换结果通过 DOUT A, DOUT B, DOUT C 三个端口输出。

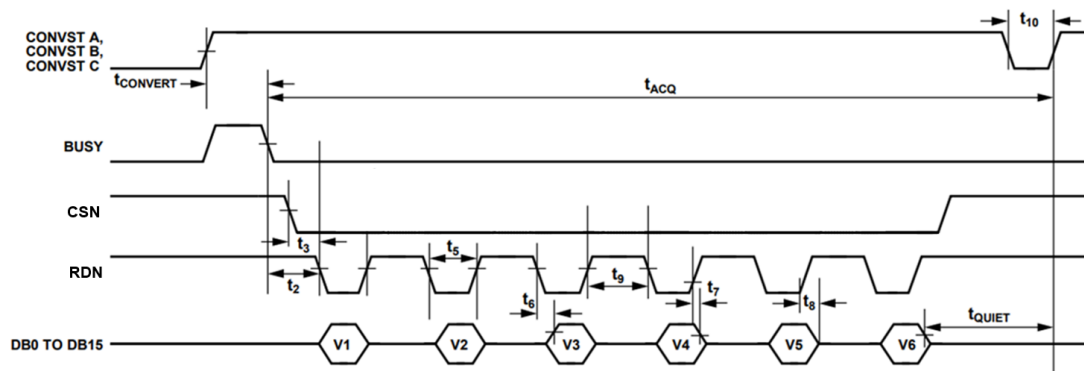


图.5 并行接口时序图 (WN_B=0)

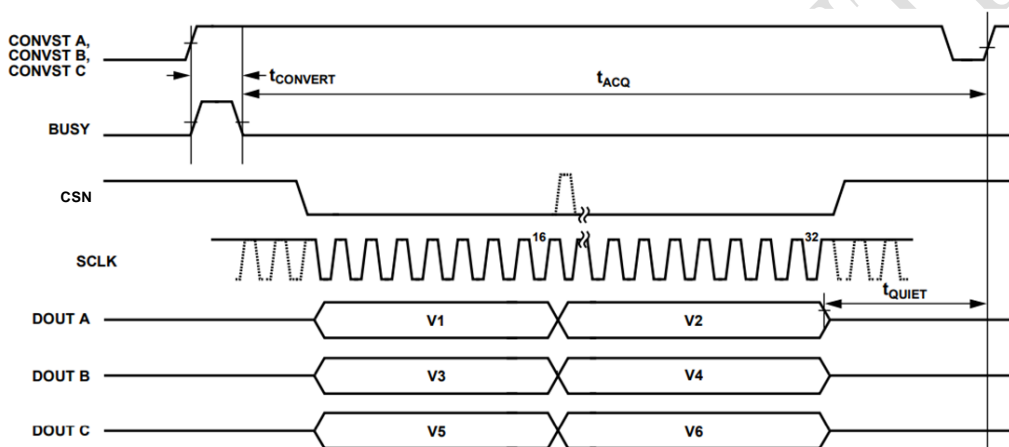


图.6 串行接口时序图

如图.7 所示，在量化结束之后，开始进行串行读取操作，CSN 信号下降沿使得三根串行输出脱离三态，并且输出 16 位量化结果的 MSB，接下来的数据在时钟信号 SCLK 的上升沿输出，用户可以选择在 SCLK 的上升沿或者下降沿读取量化结果。

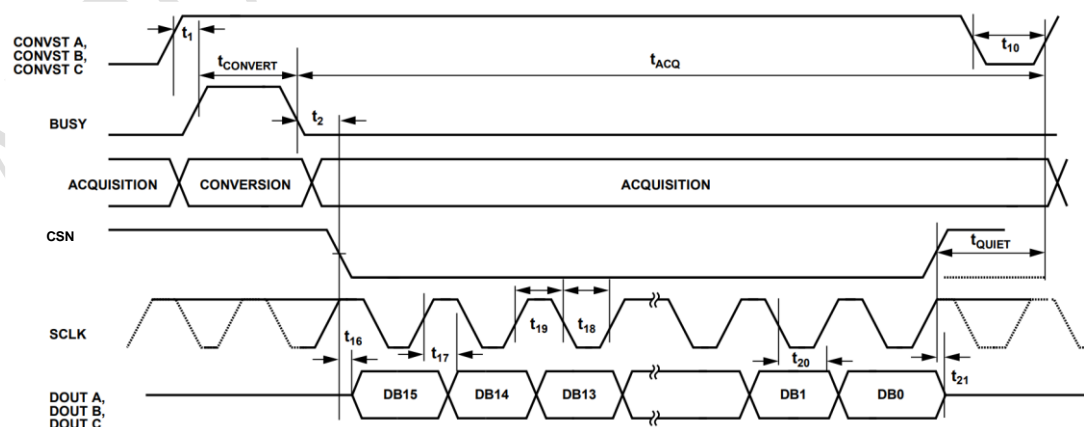


图.7 串行读取操作

封装形式

MT7656 采用 LQFP-64 的封装，其典型封装尺寸图如图.8 所示。

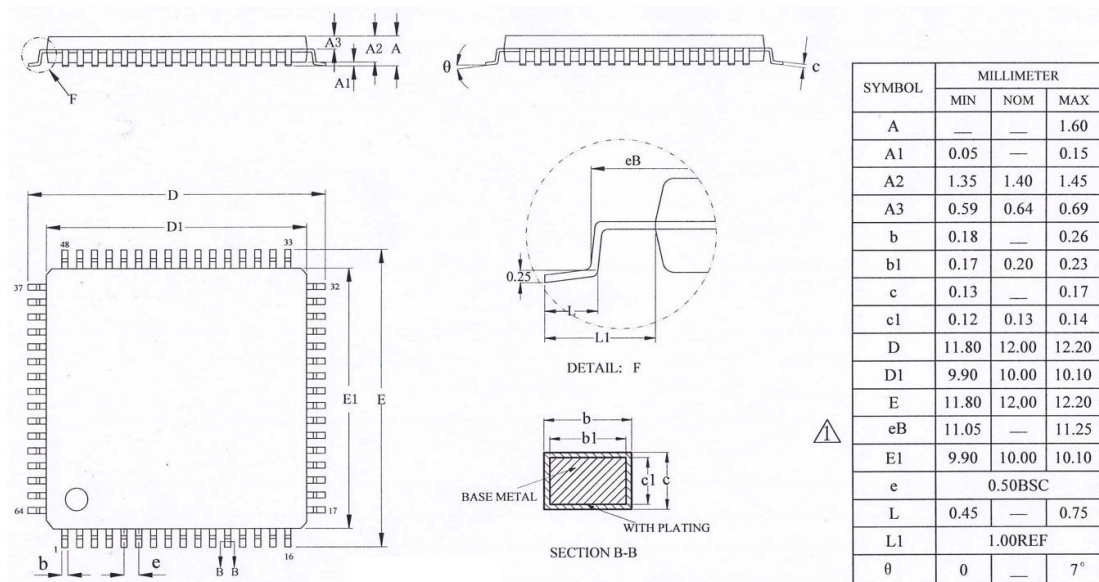


图.8 LQFP-64 封装尺寸图